

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-310311

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

H01C 13/02
H01L 27/01
// H01L 21/82

(21)Application number : 05-094494

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 21.04.1993

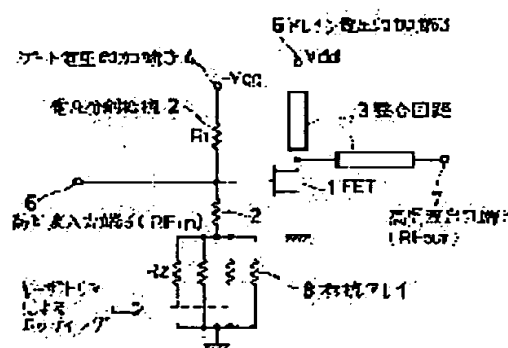
(72)Inventor : YOSHIKAWA NORIYUKI
KANAZAWA KUNIIHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT ELEMENT AND ITS BIAS ADJUSTING METHOD

(57)Abstract:

PURPOSE: To obtain a semiconductor integrated circuit element which can be manufactured at low costs, whose usage method is easy and which constitutes an electronic circuit such as an amplifier circuit by solving the problem of the complication of a biascurrent adjusting process for the semiconductor integrated circuit element which is used mainly for a mobile communication operation or the like.

CONSTITUTION: The grounding side of a voltage dividing resistance 2 which constitutes a bias current is provided with a resistance array 8 which can be fused and adjusted by a laser trimmer. A probing operation is performed to an element on a wafer. While a voltage is applied and a current is being monitored, the laser trimmer which has been installed at the upper part of a prober is moved, and the resistance array 8 is fused and adjusted.



LEGAL STATUS

[Date of request for examination] 09.10.1998

[Date of sending the examiner's decision of rejection] 19.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3233492

[Date of registration] 21.09.2001

[Number of appeal against examiner's decision of rejection] 11-18544

[Date of requesting appeal against examiner's decision of rejection] 18.11.1999

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310311

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 13/02	Z	8834-5E		
H 0 1 L 27/01	3 2 1	8418-4M		
// H 0 1 L 21/82		9169-4M	H 0 1 L 21/ 82	F
審査請求 未請求 請求項の数 5 O L (全 5 頁)				

(21)出願番号 特願平5-94494

(22)出願日 平成5年(1993)4月21日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 吉川 則之

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72)発明者 金澤 邦彦

大阪府門真市大字門真1006番地 松下電子工業株式会社内

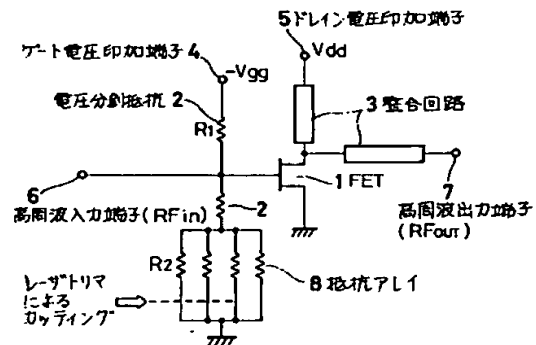
(74)代理人 弁理士 武田 元敏

(54)【発明の名称】 半導体集積回路素子とそのバイアス調整方法

(57)【要約】

【目的】 主に移動通信等に使用される半導体集積回路素子のバイアス電流調整工程の複雑化の問題を解決し、安価に作製でき、使用法が容易である増幅回路等の電子回路を構成する半導体集積回路素子を得る。

【構成】 バイアス回路を構成する電圧分割抵抗2のグラウンド側にレーザトリマによって溶断調整できる抵抗アレイ8を有する。オンウエハーでこの素子にブローピングを行い、電圧を印加し電流をモニタしながらブローパー上部に設けられたレーザトリマを移動させ、抵抗アレイ8の溶断調整を行う。



【特許請求の範囲】

【請求項1】 増幅回路を構成する半導体集積回路素子のバイアス条件を決定するための電圧分割抵抗が、半導体素子基板の表面に並列に接続された抵抗アレイで構成され、この抵抗アレイの個々の抵抗の金属配線部分がレーザートリマによって順次溶断されて抵抗調整され、最適なバイアス条件に調整されることを特徴とする半導体集積回路素子。

【請求項2】 電圧分割抵抗が能動素子である電界効果トランジスタのゲートとグラウンドの間に設けられていることを特徴とする請求項1記載の半導体集積回路素子。

【請求項3】 電圧分割抵抗のレーザービームが当たって溶断される金属配線部分にパターン認識用の目印を有すると同時に、同部分において半導体素子表面に設けられた保護膜が除去されていることを特徴とする請求項1記載の半導体集積回路素子。

【請求項4】 抵抗調整をウエハブローバー上に設けたレーザートリマヘッドを制御して移動させることにより、実際に半導体素子に流れる電流をモニタしながらオンウエハで行うことを特徴とする請求項1記載の半導体集積回路素子のバイアス調整方法。

【請求項5】 複数のチップからなるハイブリッド半導体集積回路素子で、その少なくとも1つのチップに請求項1、2または3記載の電圧分割抵抗を有する半導体集積回路素子で、ダイスボンドおよびワイヤボンド後、封じ前に、動作試験装置上に設けたレーザートリマを制御して移動させることにより実際に半導体素子に流れる電流をモニタしながらデバイス上で請求項1記載の抵抗調整を行うことを特徴とする半導体集積回路素子のバイアス調整方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高周波通信機器に増幅、発振に不可欠な半導体集積回路素子に関するものである。

【0002】

【従来の技術】近年、携帯電話、自動車電話、コードレステレホン等、通信機器の高性能化が進められている。

【0003】特に、これら移動体通信の場合には、小型化の要求が非常に強く、使用される部品である半導体デバイスに対しても急速な小型化が進行中である。この流れにあって従来ディスクリート素子を用いてハイブリッド構成のモジュールを使用していたものが、モノリシックもしくはマルチチップ構成の集積回路化になりつつある。特にGaAsを中心とする化合物半導体を用いたパワーアンプ用のモノリシックマイクロ波集積回路(以下、MMICと略記)は、その高周波特性と電力利用効率の高さにおいて移動体通信として最適であり、昨今注目を浴びている。

【0004】図7は従来のGaAs電界効果トランジスタ

(FET)を用いたパワーアンプ用MMICの回路図を示す。1はFET、2は電圧分割抵抗、3は整合回路、4はゲート電圧印加端子、5はドレイン電圧印加端子、6は高周波入力端子、7は高周波出力端子である。FET1は1段の増幅回路を構成しており、高周波入出力端子6、7は使用周波数帯域において50Ωに整合がとれるように調整されている。FET1のバイアス条件は設計上の最適値に固定された電圧分割抵抗2の2本の抵抗によって決定されているため、このMMICにドレイン電圧V_{dd}、ゲート電圧-V_{gg}を印加するのみで増幅回路として使用できる。

【0005】図8は従来のGaAsFETを用いたパワーアンプ用MMICの他の回路図を示し、これはバイアス条件を外部から調整できるようにゲート電圧印加端子4を引出している。このゲート電圧印加端子4にFET1に対する最適のバイアス電圧を印加することにより所定の特性を得ることができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記図7のような構成では、バイアス条件が電圧分割抵抗2によって固定であることと、一方、FET1の特性がばらついているために電力利用効率、利得、歪、隣接チャネル漏洩電力抑圧比等の特性の最適ポイントについて安定にバイアスを設定することができない。したがって増幅回路としてのMMICの特性が非常にばらつきが大きく、また歩留まりが悪いという欠点を有していた。

【0007】また、上記図8のような構成においては、外部端子のゲート電圧印加端子4によってバイアス条件をコントロールできるので特性的に最良の条件に設定できるが、その反面、これを用いる機器メーカーとしては個々にバイアス調整が必要であるため、工数および製造コストの増大を招いていた。また、可変抵抗等のバイアス調整のための部品を実装する必要がある、搭載する配線基板スペースを占有するという欠点を有していた。

【0008】本発明は上記欠点に鑑み、電圧分割抵抗を素子の内部で、ウエハ作成後に調整できる半導体集積回路素子の製造およびそのバイアス調整方法の提供を目的とするものである。

【0009】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明の請求項1の発明は、レーザートリマによりアレイ化した抵抗の金属配線部分を溶断することにより最適なバイアス条件を得る半導体集積回路を形成する。請求項2の発明は、抵抗調整用の抵抗アレイをFETのゲートとグラウンドの間に形成する。請求項3の発明は、レーザートリマによる溶断部分にパターン認識用の目印を形成する。請求項4の発明は、レーザーによる抵抗調整を実際の動作電流をモニタしながらオンウエハで行う。請求項5の発明は、ハイブリッド半導体集積回路素子の半完成品に対し、レーザーによる抵抗調整を実

際の動作電流をモニタしながら動作試験装置上で行うことである。

【0010】

【作用】本発明によれば、バイアス回路を構成する電圧分割抵抗のグラウンド側にレーザトリマによって溶断調整できる抵抗のアレイを有し、オンウエハーで、この半導体集積回路素子にブローピングを行い、電圧を印加し電流をモニタしながらブローバーの上部に設けたレーザトリマを移動させ、抵抗アレイの溶断調整を行う構成にすることにより安価で使用法の容易な半導体集積回路素子が得られる。

【0011】

【実施例】図1は本発明の一実施例におけるGaAsFETを用いたパワーアンプ用MMICの回路図を示す。図1において、前記図7、8と同じ構成要素には同じ符号を付し、その説明を省略する。図中の8は本発明による電圧分割抵抗となる抵抗アレイである。FET1のゲート電圧印加端子4とグラウンドの間に抵抗アレイ8が挿入されている。その抵抗アレイ8の個々の抵抗素子のグラウンド側配線を図2の要部斜視図に示すように、レーザトリマのレーザビーム9によって溶断(カッティング)することにより抵抗調整を行い、FET1に対する最低なバイアス条件を与える。このFET1のバイアス条件は増幅器としての利得、電力効率、歪、隣接チャンネル漏洩電力といった基本特性を決定する重要なパラメータであるので、可能な限り正確に調整する必要がある。したがって本実施例においては、レーザトリマのカッティングにより一例として4段階に調整する。

【0012】また、有効に抵抗調整ができるように、最初にカッティングされる抵抗ほど低抵抗になるようIC抵抗のパターンの縦横比が小さくなっている。個々の抵抗の値を等比級数的配列することにより、ゲート電圧を等間隔の電圧ステップで変化させることができる。

【0013】図3は図1の等価回路をそのままICのパターン化したパターン図である。レーザトリマによってカッティングを受ける抵抗アレイ8の抵抗の配線部分8rは他の部分8Rよりも細くなっており、レーザビームを正確に当てるためのパターン認識用の目印となっておりと同時に溶断時の屑の発生を少なくしている。

【0014】図4は図3のA-A'断面模式図を示し、10は保護膜、11は金属配線層、12は層間膜、13は不純物拡散による抵抗形成領域、26はGaAs基板である。このようにレーザトリマのレーザビーム9によってカッティングを受ける抵抗の配線部分の上部の保護膜10が除去されている。これによって容易に配線がカットでき、また溶断時の金属の屑によって不十分なカットになったり、他の部分にその金属の溶けた破片が付着して不具合を生じることが防がれる。

【0015】ここではカッティング部分はゲート・グラウンド間に入れた抵抗の、さらにグラウンド側である。ゲ

ト・電源間の電圧分割抵抗を固定とし、調整を行わないことにより-V_{gs}端子(5)・RFin端子(6)間の電圧測定によるゲート電流のモニタを容易にしている。また、カッティング部分を可能な限りグラウンド(GND)側にするにより、カッティングによるインピーダンスの変動を最小限にしている。

【0016】図5は本発明の一実施例におけるオンウエハーでの半導体集積回路素子のバイアス調整方法を説明する図である。14はウエハーブローバー、15はブローブ針、16は動作電流検出回路、17は比較器、18はレーザトリマヘッド22の移動ステージ、19はX-Yステージ、20は被検半導体集積回路素子、21は被検MMICウエハー、22はレーザトリマヘッドである。上記ウエハーブローバー14の上部にコンピュータ制御でX軸方向に0.5mm程度のスパンを高精度に矢印a-a方向に移動できるレーザトリマヘッド22が設けられている。

【0017】これにより使用状態の電圧をウエハーブローバー14上の被検半導体集積回路素子20に印加し、動作電流をブローブ針15でモニタしながら動作電流検出回路16で動作電流を検出し、比較器17で基準電流と比較し、その比較出力によりレーザトリマヘッド22の移動ステージ18の移動を制御し、かつレーザトリマヘッド22を発光させ順次被検半導体集積回路素子20の抵抗アレイ8の切断を進行させる。そして動作電流が最適な値に最も近いところで、レーザトリマヘッド22の移動を停止させると共に発光を停止する。このバイアス調整工程を検査工程と同時にすることにより、調整工程の時間を削減できる。

【0018】図6は本発明の一実施例におけるハイブリッド構成の半導体集積回路素子のバイアス調整方法を説明する図である。23は調整用の抵抗を持たない集積回路素子チップ、24はパッケージ、25はコンタクトピンである。パッケージ24にダイスボンドされた調整用の抵抗を有する被検半導体集積回路素子20と調整用の抵抗を持たない集積回路素子チップ23が互いに、もしくはパッケージ24のリード部分とワイヤボンドされた半完成品の状態になっている。この状態で上部にコンピュータ制御で移動できるレーザトリマヘッド22を有する特性検査装置にかける。

【0019】この特性検査においては、特性検査装置のコンタクトピン25より必要な電圧、電流、信号が印加され、様々な特性を検査すると同時にバイアスの調整を行う。すなわち、被検半導体集積回路素子の動作電流をモニタしながらレーザトリマヘッドを発光移動させ順次抵抗アレイの切断を進行させ、動作電流の値が最適な値に最も近いところでレーザヘッドの移動を停止させると共に発光を停止する。

【0020】このバイアス調整工程は検査工程と同時に行うことができるので、工数の大幅な削減が実現できる。また能動素子のチップと調整用の受動素子のチップ

というように、複数のチップを搭載するハイブリッド半導体集積回路素子に対してバイアス調整が可能となるため総合的歩留まりの向上が期待できる。また多機能な半導体集積回路素子を容易に構成し、最適な条件に調整することができる。

【0021】

【発明の効果】以上説明したように、本発明による半導体集積回路素子は、半導体素子基板の表面にレーザトリマによって溶断、調整される電圧分割抵抗を有する半導体集積回路素子を形成する。レーザビームにより溶断されるのはアレイ化した電圧分割抵抗の金属配線部分とすることにより、安定なバイアス調整が可能となる。電圧分割抵抗のレーザトリマによる溶断部分にパターン認識用の目印を有することにより、自動的にウェハブローパー上で実際に流れる電流をモニタしながら、その上部に設けたレーザトリマヘッドを移動させて順次電圧分割抵抗を溶断してバイアスを調整することができる。またハイブリッド半導体集積回路素子の半成品に対して、その特性検査と電圧分割抵抗の溶断による抵抗調整を同時に行ってバイアス調整することも可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるGaAsFETを用いたパワーアンプ用MMICの回路図である。

【図2】本発明によるレーザトリマを用いた電圧分割抵抗の調整法を説明するための図1の要部斜視図である。

【図3】図1の等価回路をそのままICのパターン化し*

*たパターン図である。

【図4】図3のA-A'断面模式図である。

【図5】本発明の一実施例におけるオンウェハーでの半導体集積回路素子のバイアス調整方法を説明する図である。

【図6】本発明の一実施例におけるハイブリッド構成の半導体集積回路素子のバイアス調整方法を説明する図である。

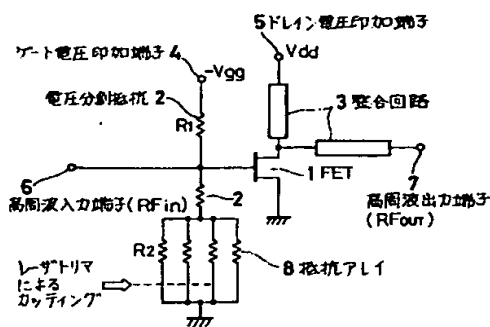
【図7】従来のGaAsFETを用いたパワーアンプ用MMICの回路図である。

【図8】従来のGaAsFETを用いたパワーアンプ用MMICの他の回路図である。

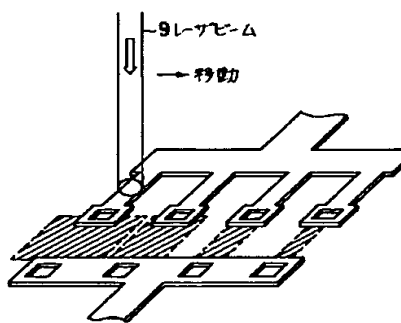
【符号の説明】

1…電界効果トランジスタ(FET)、2…電圧分割抵抗、3…整合回路、4…ゲート電圧印加端子、5…ドレイン電圧印加端子、6…高周波入力端子(RFin)、7…高周波出力端子(RFout)、8…抵抗アレイ、9…レーザビーム、10…保護膜、11…金属配線層、12…層間膜、13…抵抗形成領域、14…ウェハブローパー、15…プローブ針、16…動作電流検出回路、17…比較器、18…移動ステージ、19…X-Yステージ、20…被検半導体集積回路素子、21…被検MMICウェハー、22…レーザトリマヘッド、23…調整抵抗を持たない集積回路素子チップ、24…パッケージ、25…コンタクトピン、26…GaAs基板。

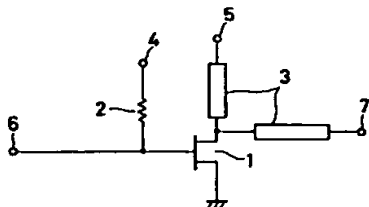
【図1】



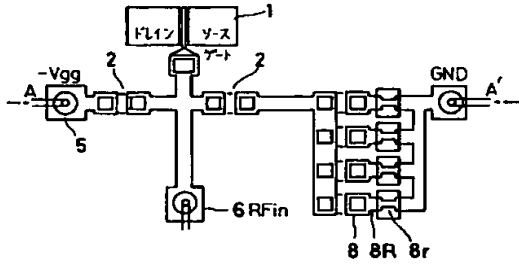
【図2】



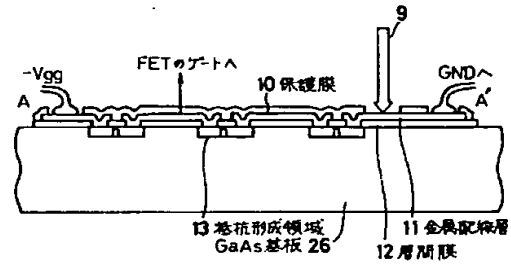
【図8】



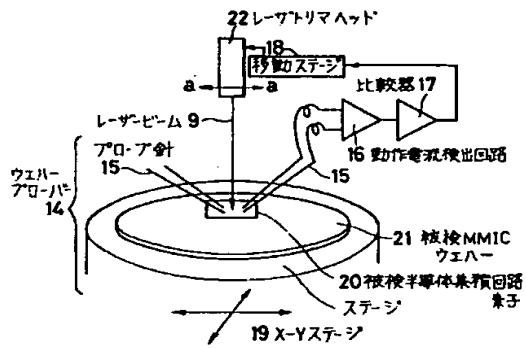
【図3】



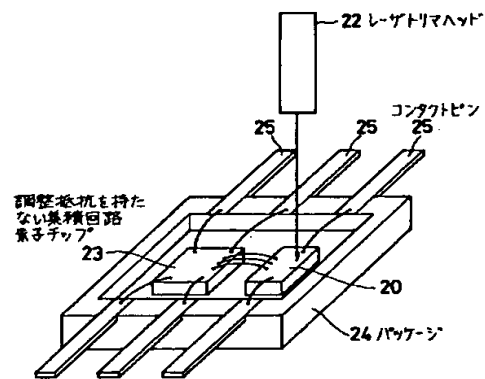
【図4】



【図5】



【図6】



【図7】

